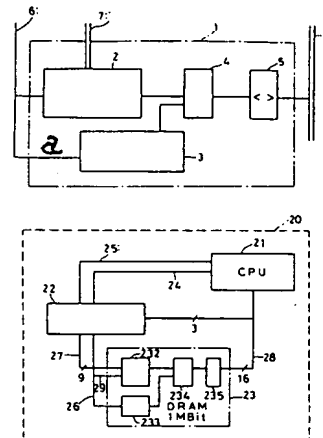


**(54) MEMORY CONTROLLER**

(11) 4-119440 (A) (43) 20.4.1992 (19) JP  
 (21) Appl. No. 2-240361 (22) 10.9.1990  
 (71) SANYO ELECTRIC CO LTD (72) SHINSUKE MORIAI(1)  
 (51) Int. Cl<sup>5</sup>. G06F12/06

**PURPOSE:** To automatically perform the proper control of memory chips in accordance with a memory chip to be used by constituting a memory control part so that status information is inputted to the memory control part to output a control signal corresponding to this status information.

**CONSTITUTION:** A memory 23 consists of one or more memory chips 1 each of which is provided with a memory cell 2 and an attribute storage part 3 where status information to control the memory cell 2 is fixed, and a memory control part 22 takes status information as the input and outputs the control signal corresponding to this status information to the memory 23. In this case, the memory control part 22 receives status information from the attribute storage part 3 provided in the memory 23 and uses the control signal corresponding to status information to operate the memory 23 in the state adapted to the memory 23. Thus, the proper control of memory chips is automatically performed in accordance with the memory chip to be used.



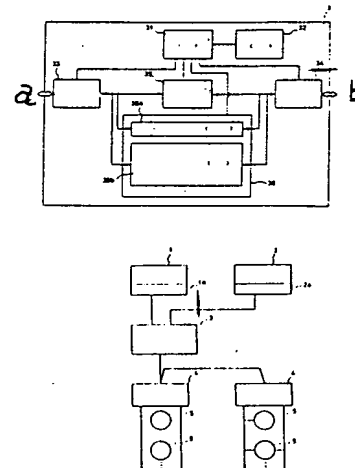
4: multiplexer, 6: control line, 7,25,27: address bus, 8,28: data bus, a: status control signal

**(54) DISK CACHE CONTROL SYSTEM**

(11) 4-119441 (A) (43) 20.4.1992 (19) JP  
 (21) Appl. No. 2-240556 (22) 11.9.1990  
 (71) HITACHI LTD (72) MASAJI OZAWA(3)  
 (51) Int. Cl<sup>5</sup>. G06F12/08, G06F3/06

**PURPOSE:** To improve the throughput between a higher-order processor and a rotating storage device by setting the write request, which is generated with a cache memory filled up with write data, to the waiting state.

**CONSTITUTION:** When a write data storage memory (non-volatile) 36a of a cache memory 36 in a write after type disk cache controller 3 is filled up with write data and a new write request comes from channels 1a and 2a of higher-order processors (central processing units) 1 and 2 in this state, the write request is set to the waiting state, and higher-order processors 1 and 2 are informed that the write request can be executed when an idle area is obtained in the write data storage memory 36a, and the idle area of the write data storage memory 36a is assigned to the write request whose execution is first permitted. Consequently, the data transfer line between higher-order processors 1 and 2 and a rotating storage device 5 is not occupied for a long time. Thus, the throughput between higher-order processors and the rotating storage device is improved.



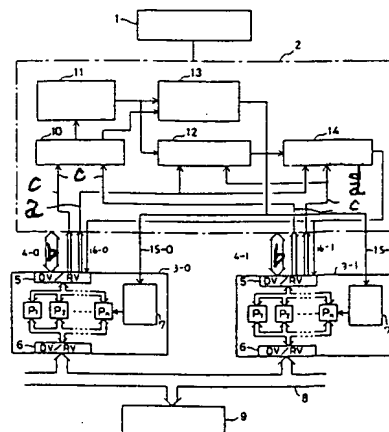
4b: magnetic disk connector, 31: microprocessor(MPU), 32: control memory(RAM), 33: control circuit of transfer to channel, 34: control circuit of transfer to disk, 35: data transfer control circuit, a: channel, 36b: read data storage memory (non-volatile)

**(54) MEMORY ERROR CORRECTION SYSTEM**

(11) 4-119442 (A) (43) 20.4.1992 (19) JP  
 (21) Appl. No. 2-240347 (22) 11.9.1990  
 (71) FUJITSU LTD (72) ICHIRO KASAHARA(1)  
 (51) Int. Cl<sup>5</sup>. G06F12/16

**PURPOSE:** To perform the correct write operation by comparing the memory address of write access at the time of the write access from another port in the middle of read modify write execution and stopping the read modify write in the case of coincidence.

**CONSTITUTION:** When a memory access control circuit 2 executes a read modify write command to correct one-bit error data, an access port circuit 3-0 is inhibited from accessing the memory access control circuit 2 for one memory cycle by an arbitration inhibit control circuit 13 to suppress the generation of a write command, and generation of the write command from another port 30-1 is monitored by a monitor module 9, and the read modify write command whose execution is already started is stopped by a read modify write stop control circuit 14 to secure the execution of the write command if the write command to the address of the one-bit error correction object is detected by a command detecting circuit 10. Thus, the correct write operation is performed.



1: memory card, 4-0,4-1: access bus, 7: arbiter circuit, 8: system bus, 9: monitor module, 11: read modify write state holding circuit, 12: address holding circuit, a: address, b: data, c: command, d: stop of read modify write

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-119440

⑬ Int. Cl.<sup>5</sup>

G 06 F 12/06

識別記号

5 1 5

庁内整理番号

8841-5B

⑭ 公開 平成4年(1992)4月20日

審査請求 未請求 請求項の数 5 (全7頁)

⑮ 発明の名称 メモリ制御装置

⑯ 特 願 平2-240361

⑰ 出 願 平2(1990)9月10日

⑱ 発 明 者 盛 合 真 介 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内  
⑲ 発 明 者 森 夏 樹 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内  
⑳ 出 願 人 三 洋 電 機 株 式 会 社 大阪府守口市京阪本通2丁目18番地  
㉑ 代 理 人 弁 理 士 西 野 卓 嗣 外2名

明 細 書

1. 発明の名称 メモリ制御装置

2. 特許請求の範囲

(1) CPUと、このCPUによって制御されるメモリ制御部と、このメモリ制御部によって制御されるメモリとを備えるメモリ制御装置において、前記メモリは各メモリチップがその中にメモリセルとそのメモリセルを制御するためのステータス情報を固定する属性記憶部分とを有する1個またはそれ以上のメモリチップで構成されており、前記メモリ制御部は前記ステータス情報を入力してそのステータス情報に対応する制御信号を前記メモリに出力するように構成していることを特徴とするメモリ制御装置。

(2) 前記ステータス情報は前記メモリセルのメモリ容量を示す容量情報を含んでおり、前記メモリ制御部はこの容量情報に基づき前記メモリセルに対するアドレスを制御する手段を備えていることを特徴とする請求項(1)記載のメモリ制御装置。

(3) 前記ステータス情報は前記メモリセルのアクセススピードを示すスピード情報を含んでお

り、前記メモリ制御部はこのスピード情報に基づき前記メモリセルに対するメモリ制御信号の属性を制御する手段を備えていることを特徴とする請求項(1)記載のメモリ装置。

(4) 前記ステータス情報は前記メモリの動作モードを示すモード情報として高速ページモードとスタティックカラムモードを含んでおり、前記メモリ制御部はこのモード情報に基づき前記メモリセルに対するメモリ制御信号の属性を制御する手段を備えていることを特徴とする請求項(1)記載のメモリ装置。

(5) メモリセルと、このメモリセルを制御するためのステータス情報を固定する属性記憶部分とを備えるメモリ装置。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は、コンピュータやOA機器等の情報処理組織を構成するために利用されるメモリ制御装置に関するものであり、1以上のメモリチップで構成されるメモリをそのメモリチップの属性に適合するように制御することができるメモリ制御装置を提供しようとするものである。また、このメ

メモリ制御装置を構成するために利用して好適なメモリ装置を提供しようとするものである。

(ロ) 従来の技術

コンピュータの記憶装置として使用されるメモリシステムでは、DRAMが多く使用される。DRAMは、チップ内部のメモリセル容量によって4Mビット、1Mビット、256Kビットなどに分類される。このように様々なメモリセル容量からなるメモリチップを1個以上使用して必要な記憶容量を持つメモリ装置を構成する場合、各メモリセルの属性に合致した制御を行う必要がある。

4Mビットと1Mビットのメモリチップの例では、4Mビットのメモリチップは、1Mビットのメモリチップの上位互換となるようにチップのピン配置が設計されているので、2種類のメモリチップを実装することを可能にするメモリシステムを構成することができる。ところが、メモリ制御回路が全く同一ではないため、ジャンパー配線やスイッチ等を用いて切り換えたり、メモリコントローラの入れ換えや、ソフトウェアにおいてプログラムの変更を伴うROMの交換などの操作が必要となっている。

- 3 -

がこの診断用コントローラからの情報を受けて、CPUがメモリユニット内に実装されているメモリ全体の容量を認識することができるメモリ制御装置が示されている。また、特開昭62-70957号公報には、メモリ容量の自動判別方法に関する技術が紹介されている。しかし、これらの2つの先行技術はいずれも、メモリ全体の容量を判別する技術であって、メモリセルを制御するための属性情報を認識するものではない。

(ハ) 発明が解決しようとする課題

メモリチップ内部のメモリセル容量の増加に伴い、記憶装置におけるチップのメモリセル容量やメモリ全体の容量を変更して記憶装置の拡張を行う場合が増加してくる。その際に、利用者がそのチップのメモリセル容量やアクセススピードなどを識別して、それに適した設定をジャンパー配線やスイッチを用いて行ったり、メモリコントローラそのものを入れ換えたり、CPUから制御できるコントローラレジスタをメモリコントローラの外部に設定し、制御ビットを切り換えるなどの操作を行っていた。

このような設定は、記憶装置におけるメモリ

市販されているメモリコントローラの例として、WACOM社のメモリコントローラ(製品番号:W4006P)があり、このメモリコントローラは入力される2ビットのセレクト信号によってメモリチップのメモリセル容量を判別して制御の切り換えを行っている。ナショナルセミコンダクタ社のメモリコントローラでは、各メモリセル容量ごとにメモリコントローラが用意されており(メモリセル容量4Mビット用のメモリコントローラには製品番号DP8522が、1Mビット用にはDP8521が、256Kビット用にはDP8520が用意されている)、メモリセル容量の変更に伴いメモリコントローラチップそのものの変更をしなければならない。このように、これらのメモリコントローラはメモリチップの変更に対応できるものではない。コントローラチップそのものを入れ換えるか、CPUから制御できるコントロールレジスタを設定して制御ビットを切り換えてメモリセル容量にあった制御を行ったりしなくてはならない。

特開昭62-52651号公報には、メモリユニット内に診断用コントローラを設け、CPU

- 4 -

チップのメモリセル容量の変更が行われるたびに設定し直さなければならない、間違えて設定してしまった場合においても回路構成上はそのまま動作するので、重大なミスに発展する可能性がある。

他の方法としては、ソフトウェアにおいてメモリチップのメモリセル容量を設定し、メモリ制御を行う場合もあるが、この場合ではブートROM上のプログラムにこの設定条件を書き込む必要があるため、チップのメモリセル容量の変更ごとにROMを交換しなければならないことになって非効率であり、この場合においてもミスを起こす可能性がある。

(ニ) 課題を解決するための手段

上記の課題を解決するためには、メモリチップを制御するためのステータス情報をあらかじめ識別することができればよい。

本発明のメモリ装置によれば、CPUと、このCPUによって制御されるメモリ制御部と、このメモリ制御部によって制御されるメモリとを備えるメモリ制御装置において、前記メモリは各メモリチップがその中にメモリセルとそのメモリセルを制御するためのステータス情報を固定する属性

- 5 -

- 6 -

記憶部分を有する1個またはそれ以上のメモリチップで構成されており、前記メモリ制御部は前記ステータス情報を入力してそのステータス情報に対応する制御信号を前記メモリに出力するように構成していることを特徴とする。

そして上記ステータス情報は、メモリセルのメモリ容量を示す容量情報であったり、メモリセルのアクセススピードを示すスピード情報であったり、メモリの動作モードを示すモード情報であったり、あるいはこれらを複合してなるものであったりする。

さらに本発明は、このようなメモリ制御装置を構成するために利用するメモリ装置、すなわちメモリセルと、このメモリセルを制御するためのステータス情報を固定する属性記憶部分とを備えるメモリ装置である。

#### (ホ) 作用

本発明のメモリ制御装置は、メモリ制御部がメモリに備える属性部分からのステータス情報を受け、そのステータス情報に対応する制御信号を用いて、メモリをそのメモリに連する状態で動作させるようにしているので、メモリ制御部は使用す

るメモリチップに応じて該メモリチップに自動的に適切な制御を施すことができる。

例えば、ステータス情報がメモリチップのメモリ容量を示す情報であるとき、メモリ制御部はそのメモリ容量に適するアドレスをメモリに与えるようにする。また、ステータス情報がメモリセルのアクセススピードを示すスピード情報であるとき、メモリ制御部はそのスピードに適するメモリ制御信号をメモリに与えるようにする。

本発明のメモリ装置は、メモリセルと、このメモリセルを制御するためのステータス情報を固定する属性部分を備えているため、この属性記憶部分からの情報を受けようにすることで、このメモリ装置を適切に動作させるようにすることができる。

#### (ヘ) 実施例

本発明の実施例を図面を参考にして説明する。

第1図はメモリ装置のブロック図である。第2図と第3図はこのメモリ装置を利用するメモリ制御装置の構成ブロック図である。第4図は3ビットのステータス情報を示す図である。

メモリ装置は、1個もしくはそれ以上のメモリ

— 7 —

チップによって構成されている。メモリチップはメモリセルの個数により決まるメモリ容量を持っており、上述のように4Mビット、1Mビット、256Kビットなどが存在する。メモリ装置は、必要なメモリ容量を持つように、このメモリチップの所定数を一つのボードに搭載し利用するようにしている。この場合、各メモリチップはそれぞれに対するアクセスを容易にするために同じビット容量を持つものを利用するようにしている。

第1図に示すメモリ装置においては1個のメモリチップの内部構成のブロック図を示している。このメモリチップ1は、ビット容量に対応する数の各メモリセルが行および列にマトリックス状に配列されているメモリセル2と、このメモリセル2を制御するためのステータス情報を固定する属性記憶部分3と、メモリセル2と属性記憶部分3からのデータをそれぞれ入力するマルチプレクサ4と、このマルチプレクサ4からのデータを入力するラッチ5とを備えている。さらに、図示省略しているが、クロック発生回路、行及び列アドレスバッファ、行デコーダ、列デコーダなどを備えている。

— 9 —

— 8 —

メモリセル1と属性記憶部分3にはメモリ制御部からのコントロール信号を付与する制御ライン6が接続されており、またメモリセル1には内蔵の各セルのアドレスを指定するためのアドレスバス7が接続されている。入力ラッチ・出力バッファ5はデータバス8に接続されており、このデータバスとメモリチップ1との間のデータの入出力を司る。マルチプレクサ4は属性記憶部分3からのステータス情報を、メモリセル2からの情報データとともにラッチ5を通じてデータバス7に出力する機能を持ち、またラッチ5からの入力データをメモリセル2に入力する機能を持つ。

第2図と第3図の各メモリ制御装置20、30において、21、31はCPU(中央プロセッサユニット)、22、32はこのCPUによって制御されるメモリ制御部、23、33はこのメモリ制御部によって制御されるメモリである。このメモリ23、33としては、説明を簡単にするため、いずれのメモリ制御装置においても1個のメモリチップの例を示しているが、整数倍のメモリ容量を持たせるために、複数のメモリセルを並列に接続するようにしてもよい。この場合、同じ記憶容

— 10 —

型のメモリチップを使うほうがメモリ制御部 22, 32 による制御を簡単にすることができるが、異なる記憶容量のものを使うようにしてもよい。実施例では、メモリ 23 は 1 M ビットの DRAM を使用しており、メモリ 33 は 4 M ビットの DRAM を使用している。

メモリ 23, 33 には、第 1 図に示したメモリ装置と実質的に同じ構成のものが使われ、第 2 図と第 3 図の各図中の符号の第 1 位が第 1 図中の符号に等しい構成要素は実質的に等しいものを示している。但し、属性記憶部分 231 と 331 の記憶内容はそれぞれ各メモリ 23, 33 に固有のステータス情報が固定されている。

第 4 図は 3 ビット [S2, S1, S0] で構成されているステータス情報を例示している。実施例では、メモリ 23 のステータス情報は [1, 0, 0] であり、メモリ 33 のステータス情報は [0, 1, 1] である。即ち、メモリ 23 はその属性記憶部分 231 に、その動作モードがスタティックカラムモードで、RAS のパルス幅が 100 nS で、メモリ容量が 1 M ビットであるとのステータス情報を固定している。また、メモリ 3

3 はその属性記憶部分 331 に、その動作モードが高速ページモードで、RAS のパルス幅が 75 nS で、メモリ容量が 4 M ビットであるとのステータス情報を固定している。

次に、第 2 図のメモリ制御装置において、メモリ 23 の持つステータス情報に基づき該メモリを制御する動作について説明する。第 3 図のメモリ制御装置の動作もこの説明から類推できる。

メモリ制御装置 20 に電源が供給されてシステムが初期化されたとき、CPU 21 はメモリ制御部 22 に制御ライン 24 を通じてコントロール信号を付与する。これにより、メモリ制御部 22 はメモリ 23 の属性記憶部分 231 にステータスコントロール信号 26 を与える。属性記憶部分はこの信号 26 を受けて自己のステータス情報、実施例では 3 ビットの情報 [1, 0, 0] を出力する。このステータス情報はメモリセル 232 からのデータとともにデータバス 28 に出力される。このデータバス 28 中のステータス情報はメモリ制御部 22 に取り込まれる。メモリ制御部 22 はこのステータス情報を認識して、そのステータス情報に基づきメモリ制御信号 29 をメモリ 23 に

- 11 -

供給する。即ち、メモリ制御部 22 はメモリ 23 の属性記憶部分 231 からのステータス情報を入力して、このメモリ 23 が 1 M ビットの DRAM であること、RAS のパルス幅が 100 nS であること、さらに動作モードがスタティックカラムモードであることを認識し、このメモリ制御部 22 はかかる認識に基づき制御信号をメモリ 23 に出力する。その結果、メモリ 23 は自身の属性に適合した状態で、制御されるようになる。

第 5 図と第 6 図にメモリ制御部に備えるアドレス指定回路を示している。第 5 図は、CPU からアドレスバス 25 を通じて付与されるアドレスデータをメモリのローアドレス RA に接続するマルチプレクサ 40 を示し、第 6 図は同様にアドレスバス 25 を通じて付与されるアドレスデータをメモリのカラムアドレス CA に接続するマルチプレクサ 41 を示している。

マルチプレクサ 40 はアドレス A0 ~ A9 のデータをそのままローアドレス RA0 ~ RA9 に出力する。そして、メモリ 23 のローアドレスは 9 ビットであるから RA9 をノーコネクタ端子に接続するようにする。メモリ 33 のローアドレス

は 10 ビットであるからマルチプレクサ 40 の出力をそのまま利用する。

マルチプレクサ 41 はメモリ容量に関するステータス情報 (S0) をリード 42 から入力し、1 M ビットのメモリ 23 の場合、カラムアドレス CA0 ~ CA9 にはアドレスデータ A9 ~ A17 を選択出力し、4 M ビットの場合、カラムアドレス CA0 ~ CA9 にはアドレスデータ A10 ~ A19 を選択出力する。

第 7 図、第 8 図を用いて、アクセスタイムに関するステータス情報を活用した場合のメモリ制御例を説明する。

第 7 図はメモリを駆動する RAS, CAS 信号の波形図を示す。メモリには、そのアクセススピードの違いによって、第 7 図の実線や破線で示すようにアクセスタイムが異なるものがある。実線の波形は RAS のパルス幅が 75 n 秒 (n はナノ、以下同様) のメモリ 33 のものを示し、破線の波形は RAS のパルス幅が 100 n 秒のメモリ 23 のものを示している。メモリ制御部はアクセススピードに関するステータス情報 (S1) を入力してそのステータス情報に適合するメモリ制御

- 12 -

- 13 -

- 14 -

信号をメモリに出力する。

第8図は、メモリ制御部においてメモリ制御信号(RAS信号、CAS信号)を生成するためのタイミング・フローチャート図を示している。第8図に示したステート1～ステート4の各ステートは、メモリ制御部で生成するRAS信号のパルス幅が75n秒であるというステータス情報(S1)をステータス信号に付加した場合、メモリ制御部において、第7図に示す実線のようなRAS信号を発生させればよい。第8図のフローチャートにおいて、ステート1, 2, 4を通るように、ステータス情報に従った条件分岐による制御を行うことによって、75n秒のパルス幅を生成することができる。また、パルス幅が100n秒のRAS信号を生成するためには、ステート1, 2, 3, 4を通るように制御を行うことによって生成することができる。

ステータス情報(S0)は、メモリのアクセスモードを指定するステータス信号をメモリ制御部に提供する。高速ページモードの場合、1つのRASサイクルの中に連続して複数個のCASサイクルを挿入してメモリアクセスを行い、一方スタ

ティックカラムモードの場合、1つのRASサイクルの中でカラムアドレスのみを切り換えて高速なメモリアクセスを行うものである。メモリ制御部は、図示省略しているが、メモリの属性記憶部分からのステータス情報(S0)を入力してそのステータス情報に適合するメモリ制御信号をメモリに出力する。

#### (ト) 発明の効果

本発明のメモリ制御装置はそれに備えるメモリにそのメモリの制御に必要なステータス情報を記録している属性記憶部を持ち、この属性記憶部からのステータス情報に基づきメモリ制御部がメモリを制御する制御信号を出力するようにしているので、メモリを構成するメモリチップの選択に自由度が増しメモリの拡張が容易にできるようになる。また、メモリ制御部はメモリに提供するメモリ制御信号の特性をメモリの属性記憶部からのステータス情報に基づき自動的に決めるようにしているので、異なる属性のメモリチップに交換してもそのメモリに適合するメモリ制御信号を提供することができる。

本発明のメモリ装置は、メモリセルと、ステー

— 15 —

タス情報を固定する属性記憶部分とを備えているので、このメモリ装置を駆動するために、メモリ制御部は属性記憶部分からのステータス情報を抽出してそのステータス情報に基づき適切なメモリ制御信号を作成すればよく、このメモリ装置の使用性を向上させることができる。

#### 4. 図面の簡単な説明

図面はいずれも本発明に関するものであり、第1図はメモリ装置のブロック図である。第2図と第3図はこのメモリ装置を利用するメモリ制御装置の構成ブロック図である。第4図は3ビットのステータス情報を示す図である。第5図と第6図はメモリ制御部に備えるアドレス指定回路の構成図である。第7図はRAS信号とCAS信号の信号波形図である。第8図はRAS信号を生成するためのフローチャート図である。

1はメモリチップ、2はメモリセル、3は属性記憶部分、4はマルチプレクサ、5は入力ラッチ・出力バッファ、6は制御ライン、7はアドレスバス、8はデータバス、20、30はメモリ制御装置、21、31はCPU、22、32はメモリ制御部、23、33はメモリ、231、331は

— 17 —

属性記憶部、24は制御ライン、25、27はアドレスバス、26はコントロール信号、28はデータバス、29はメモリ制御信号、40、41はマルチプレクサである。

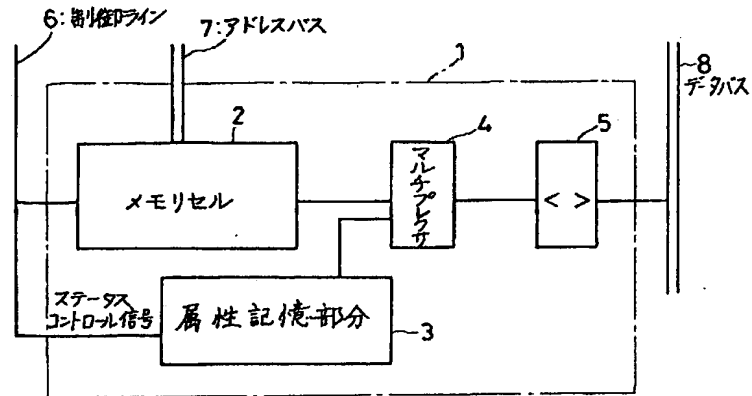
出願人 三洋電機株式会社

代理人 弁理士 西野卓嗣 (外2名)

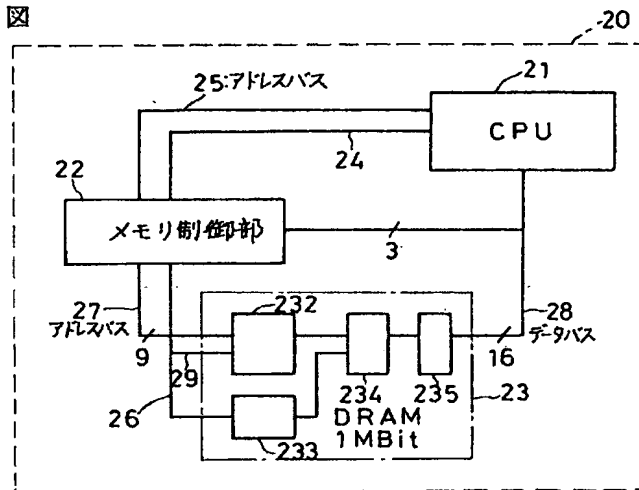
— 16 —

— 18 —

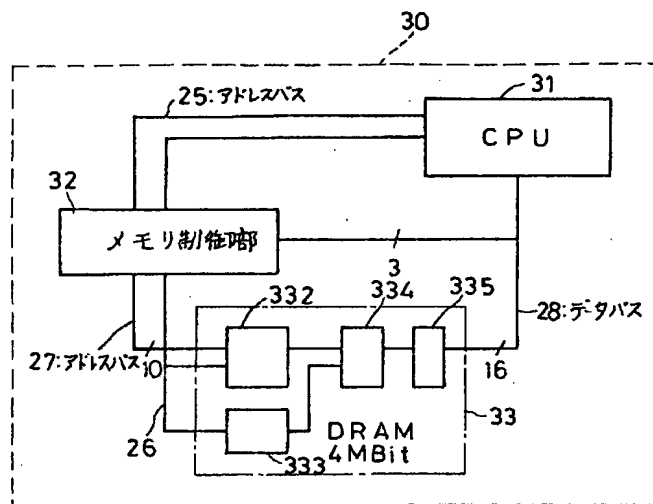
第1図



第2図



第3図



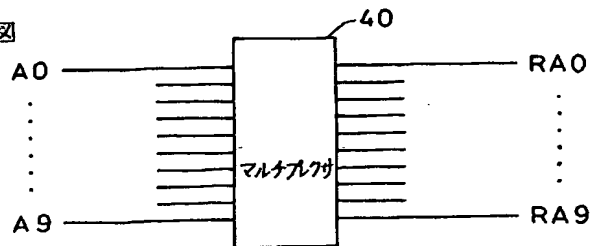
第4図

ステータス信号(3Bit)

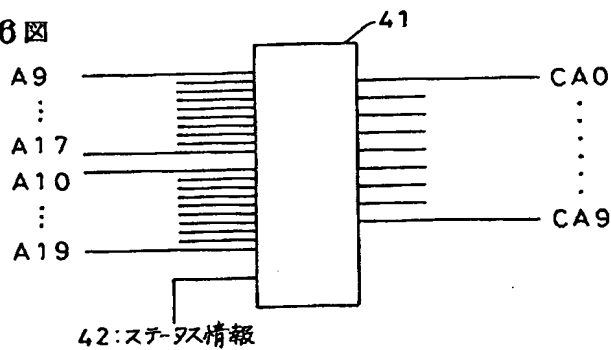
S2	S1	S0
----	----	----

S0	0	1MBitのメモリチップが接続されている。
	1	4MBitのメモリチップが接続されている。
S1	0	RASのパルス幅 100nS
	1	RASのパルス幅 75nS
S2	0	高速ページモード
	1	スタティックカラムモード

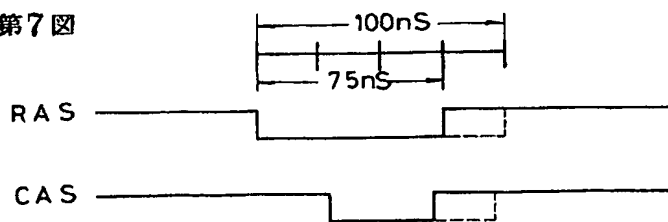
第5図



第6図



第7図



第8図

